

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-135030

(43)Date of publication of application : 20.05.1997

(51)Int.Cl.

H01L 29/786
H01L 21/265
H01L 27/108
H01L 21/8242
H01L 27/12

(21)Application number : 07-289613

(71)Applicant : HITACHI LTD

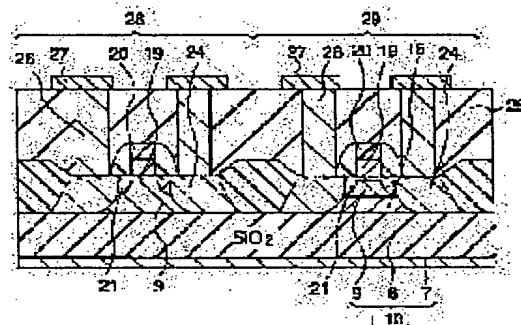
(22)Date of filing : 08.11.1995

(72)Inventor : NODA HIROMASA
SHIMOHIGASHI KATSUHIRO
AOKI MASAKAZU
IDEI YOJI**(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, COMPUTER SYSTEM USING THE DEVICE AND MANUFACTURING METHOD FOR THE SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing technology for a semiconductor integrated circuit device in which a high speed and a low power are together obtained by using a perfect depletion transistor and a dielectric strength can be guaranteed by using a partial depletion transistor.

SOLUTION: A semiconductor integrated circuit device is constituted of a predetermined integrated circuit made on a SOT (silicon on insulator) substrate. By means of separate implantations under different ion implanting conditions, a left MOS transistor is made to a perfect depletion transistor 28 which has depletion in all region because of a dopant density of a channel region being low and a right MOS transistor 29 which has partial depletion in a channel region because of a dopant density of the channel region being high. By the steps the perfect depletion transistor and the partial depletion transistor are formed on the same SOI substrate 10 in the state of having different impurity densities.

**LEGAL STATUS**

(11)特許出願公開番号

特開平9-135030

(43)公開日 平成9年(1997)5月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L .29/78	6 1 3 Z
	21/265		27/12	Z
	27/108		21/265	P
	21/8242			A
	27/12		27/10	6 7 1 C

審査請求 未請求 請求項の数7 O.L (全 10 頁) 最終頁に続く

(21)出願番号 特願平7-289613

(22)出願日 平成7年(1995)11月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 野田 浩正

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 下東 勝博

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 青木 正和

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

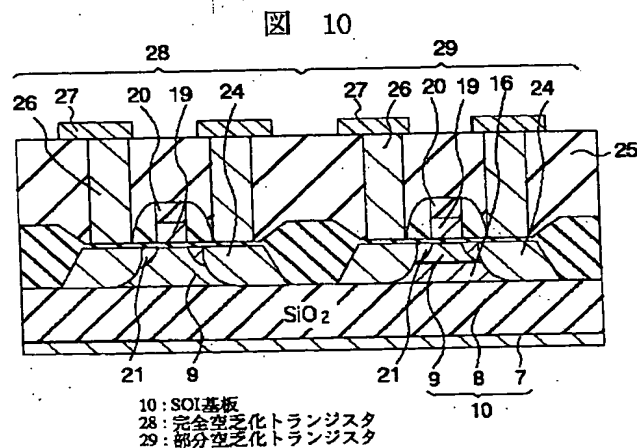
[最終頁に続く](#)

(54) 【発明の名称】 半導体集積回路装置およびそれを用いたコンピュータシステム、ならびに半導体集積回路装置の製造方法

(57) 【要約】

【課題】 完全空乏化トランジスタを用いて高速化と低電力を両立させ、かつ部分空乏化トランジスタを用いて耐圧が確保できる半導体集積回路装置の製造技術を提供する。

【解決手段】 S O I 基板上に所定の集積回路が作製される半導体集積回路装置であって、イオン打ち込みの条件を変えて打ち分けることで、左側の M O S トランジスタはチャネル領域のドーパント濃度が低いため、領域全体が空乏化している完全空乏化トランジスタ 2 8 となり、右側の M O S トランジスタは、チャネル領域にドーパント濃度が高い領域を有するため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタ 2 9 となり、これにより完全空乏化トランジスタ 2 8 と部分空乏化トランジスタ 2 9 とが、不純物濃度を異なるようにして同一の S O I 基板 1 0 上に形成されている。



【特許請求の範囲】

【請求項1】 SOI基板上に所定の集積回路が作製される半導体集積回路装置であって、前記集積回路のうち、高耐圧が必要な回路は部分空乏化トランジスタを用いて構成し、かつ低電力・高速化が必要な回路は完全空乏化トランジスタを用いて構成することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記半導体集積回路装置を、DRAMまたはSRAMなどの半導体記憶装置とすることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置を用いたコンピュータシステムであって、前記半導体集積回路装置または半導体記憶装置に加えて、少なくとも、中央処理装置およびその周辺回路などを有することを特徴とするコンピュータシステム。

【請求項4】 SOI基板上に所定の集積回路を作製する半導体集積回路装置の製造方法であって、前記集積回路を高耐圧が必要な回路と低電力・高速化が必要な回路とに区別し、同一の前記SOI基板上に、前記高耐圧が必要な回路を部分空乏化トランジスタを用いて作製し、かつ前記低電力・高速化が必要な回路を完全空乏化トランジスタを用いて作製することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、前記部分空乏化トランジスタまたは前記完全空乏化トランジスタを作製する際に、イオン打ち込みの条件を変えて打ち分け、前記部分空乏化トランジスタを形成する部分のシリコンの不純物濃度と、前記完全空乏化トランジスタを形成する部分の不純物濃度とを異なるようにして、前記同一のSOI基板上に前記部分空乏化トランジスタと前記完全空乏化トランジスタとを作り分けることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4記載の半導体集積回路装置の製造方法であって、前記部分空乏化トランジスタまたは前記完全空乏化トランジスタを作製する際に、LOCOS形成プロセスと同様のプロセスを用いて、前記部分空乏化トランジスタを形成する部分のシリコンの膜厚と、前記完全空乏化トランジスタを形成する部分のシリコンの膜厚とを異なるようにして、前記同一のSOI基板上に前記部分空乏化トランジスタと前記完全空乏化トランジスタとを作り分けることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項4記載の半導体集積回路装置の製造方法であって、前記部分空乏化トランジスタまたは前記完全空乏化トランジスタを作製する際に、前記SOI基板の埋め込み酸化膜中に局所的に不純物を導入し、そこから埋め込み酸化膜上の単結晶シリコン薄膜中に熱拡散により不純物を導入するプロセスを用いて、前記部分

空乏化トランジスタを形成する部分のシリコンの不純物濃度と、前記完全空乏化トランジスタを形成する部分のシリコンの不純物濃度とを異なるようにして、前記同一のSOI基板上に前記部分空乏化トランジスタと前記完全空乏化トランジスタとを作り分けることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路技術に関し、特にSOI (Silicon On Insulator) 基板上に作製したLSIにおいて、このSOI基板の利点を活かした部分空乏化トランジスタと完全空乏化トランジスタとの形成に好適な半導体集積回路装置およびそれを用いたコンピュータシステム、ならびに半導体集積回路装置の製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、発明者が検討したところによれば、SOI基板上に作製したLSIにおいては、完全な素子分離が可能となるために配線-基板間の寄生容量や拡散層容量などが低減でき、半導体集積回路装置の動作速度を向上させることができるので、バルクLSIに比べて低電力・高速化の可能性が秘められていることが考えられる。

【0003】このようなSOI基板上に作製した半導体集積回路技術としては、たとえば「IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, NO. 11, NOVEMBER 1994 P132 3-P1329」などに記載される技術などが挙げられる。

【0004】

【発明が解決しようとする課題】ところで、前記のようなSOI基板上に作製した半導体集積回路技術においては、SOI基板の性能を引き出すには完全空乏化トランジスタが必要であるが、この完全空乏化トランジスタは耐圧が低いということが考えられる。特にSOI基板を用いたLSIにおいては、低電力・高速化とともに、ドレイン耐圧の確保がLSI化に重要であることが本発明者による検討の結果明らかとなっている。

【0005】そこで、本発明の目的は、完全空乏化トランジスタと部分空乏化トランジスタとを同一基板上に形成することによって、完全空乏化トランジスタを用いて高速化と低電力を両立させ、かつ部分空乏化トランジスタを用いて耐圧を確保することができる半導体集積回路装置およびそれを用いたコンピュータシステム、ならびに半導体集積回路装置の製造方法を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

以下のとおりである。

【0008】すなわち、本発明の半導体集積回路装置は、SOI基板上に所定の集積回路が作製される半導体集積回路装置に適用されるものであり、前記集積回路のうち、外部インターフェースやDRAMのワード線昇圧回路のような高耐圧が必要な回路は部分空乏化トランジスタを用いて構成し、かつそれ以外の降圧した電圧しか印加されない低電力・高速化が必要な回路は完全空乏化トランジスタを用いて構成するものであり、特にDRAMまたはSRAMなどの半導体記憶装置に適用するよう10にしたものである。

【0009】さらに、本発明のコンピュータシステムは、前記半導体集積回路装置または半導体記憶装置に加えて、少なくとも、中央処理装置およびその周辺回路などを有するものである。

【0010】また、本発明の半導体集積回路装置の製造方法は、SOI基板上に作製される所定の集積回路を、高耐圧が必要な回路と低電力・高速化が必要な回路とに区別し、同一のSOI基板上に、高耐圧が必要な回路を部分空乏化トランジスタを用いて作製し、かつ低電力・高速化が必要な回路を完全空乏化トランジスタを用いて作製するものである。20

【0011】具体的に、前記部分空乏化トランジスタまたは完全空乏化トランジスタを同一のSOI基板上に作り分ける際には、イオン打ち込みの条件を変えて打ち分けたり、LOCOS形成プロセスと同様のプロセス（リセスアレー）を用いたり、さらにはSOI基板の埋め込み酸化膜中に局所的に不純物を導入し、そこから埋め込み酸化膜上の単結晶シリコン薄膜中に熱拡散により不純物を導入するプロセスを用いて、シリコンの不純物濃度または膜厚が異なるようにしたものである。30

【0012】すなわち、部分空乏化トランジスタまたは完全空乏化トランジスタにおいて、完全空乏化トランジスタは、SOI基板の利点を最も活かせるトランジスタであるが、ドレイン耐圧が低いという欠点があり、これに対して部分空乏化トランジスタは、トランジスタとしての性能は完全空乏化トランジスタに比べて劣るものの、ドレイン耐圧の確保が可能である。

【0013】よって、本発明によれば、完全空乏化トランジスタと部分空乏化トランジスタとを同一のSOI基板上に形成することを可能にして、内部で降圧した電圧しか印加されない回路には完全空乏化トランジスタを用いて高速化と低電力を両立させ、かつ外部インターフェースやDRAMのワード線昇圧回路のような高耐圧が必要になる回路には部分空乏化トランジスタを用いて耐圧を確保することができる。40

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0015】（実施の形態1）図1は本発明の実施の形50

態1である半導体集積回路装置を示す概略機能ブロック図、図2は本実施の形態1におけるデータ出力回路の一例を示す回路図、図3～図10は本実施の形態1におけるMOSトランジスタの製造工程を示す断面図である。

【0016】まず、図1により本実施の形態1の半導体集積回路装置の概略構成を説明する。

【0017】本実施の形態1の半導体集積回路装置は、たとえばSOI基板上に所定の集積回路が作製される半導体集積回路装置とされ、内部回路1、入出力インターフェース2、降圧回路3などからなり、内部で降圧した電圧しか印加されない内部回路1は完全空乏化トランジスタのみを用いて構成され、入出力インターフェース2や外部電源の降圧回路3、さらに内部回路1の高耐圧が必要な高耐圧部4は部分空乏化トランジスタを含んで構成され、これらの完全空乏化トランジスタと部分空乏化トランジスタとが同一のSOI基板上に形成されている。

【0018】なお、入出力インターフェース2や降圧回路3は回路を工夫することによって、トランジスタのソース・ドレイン間に外部電源の電圧がそのままかからないようにすることもできるため、その場合に部分空乏化トランジスタを使う部分は、内部回路1の高耐圧を必要とする高耐圧部4の回路ブロック、たとえばDRAMでいえばワード線電圧昇圧回路などに限られる。

【0019】具体的に、内部回路1と入出力インターフェース2におけるデータ出力回路は、たとえば図2に示すように公知のキャパシタ昇圧型とされ、図中左半分が内部回路1の出力部5であり、この部分は降圧された電源を用いて動作するために完全空乏化トランジスタが使用される。この内部回路1からのデータ出力信号RD、/RDは、出力段の活性化信号φとともにANDゲートを介して論理積動作により出力されている。

【0020】一方、図2における右半分は入出力インターフェース2の外部出力部6であり、電源は外部の電源をそのまま使用し、従ってトランジスタのソース・ドレイン間に外部の高い電圧がそのまま印加されるため、高耐圧の部分空乏化トランジスタが使用される。この外部出力部6においては、内部回路1からのデータ出力信号がそれぞれnMOSトランジスタに入力され、さらに直列接続された遅延回路 $\tau 1$ およびキャパシタに並列に接続されるインバータとCMOSトランジスタ、遅延回路 $\tau 2$ のみを介してそれぞれnMOSトランジスタに接続され、これらのnMOSトランジスタの接続ノードから外部へのデータ信号が出力されている。

【0021】次に、本実施の形態1の作用について、前記半導体集積回路装置の要部を構成するMOSトランジスタの製造工程を図3～図10により説明する。

【0022】始めに、図3～図10のMOSトランジスタの素子断面図において、左側のMOSトランジスタはチャネル領域のドーパント濃度が低いため、領域全体が

空乏化している完全空乏化トランジスタである。これに対して、右側のMOSトランジスタは、チャネル領域にドーパント濃度が高い領域を有するため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタである。つまり、前記2種類のトランジスタはイオン打ち込み条件を変化させることで同一のSOI基板上に形成されている。

【0023】以下、nチャネルについて、本実施の形態1のMOSトランジスタの製造方法を説明する。なお、pチャネルについても、ドーパントの導電型を逆にすれば同じ工程で作ることができるので、フォト工程を加えることにより同一のSOI基板上に相補型の回路を形成することも可能である。

【0024】まず、たとえばシリコン単結晶7の上層にSiO₂からなる埋め込み酸化膜8が形成され、さらにその上層に単結晶シリコン薄膜9が形成されているSOI基板10の表面を酸化してSiO₂の酸化膜11を形成する。そして、その上層に、たとえばSi₃N₄などのシリコン窒化膜12を堆積し、フォト工程を用いて素子領域となる部分以外を覆っているシリコン窒化膜12を除去する(図3)。

【0025】その後、熱酸化を行い、図3のシリコン窒化膜12の開口部に相当する部分に、たとえばSiO₂からなる素子分離酸化膜13を形成する(図4)。そして、シリコン窒化膜12をウェットエッチングで除去し、さらに酸化膜11を除去した後、改めてSiO₂などの酸化膜14を熱酸化で形成する(図5)。

【0026】続いて、図5のように完全空乏化トランジスタを形成する素子領域の部分にレジストマスク15をかけて、部分空乏化トランジスタを形成する素子領域にのみ、高濃度不純物層16をイオン打ち込みで形成する。具体的には、p型不純物であるボロンをピーク濃度が約 $1 \times 10^{18} \text{ cm}^{-3}$ で、単結晶シリコン薄膜9と埋め込み酸化膜8の界面で濃度が最大になるように打ち込む。

【0027】そして、多結晶シリコン膜17とシリコン酸化膜18を公知のCVD法で堆積する(図6)。この多結晶シリコン膜17は後にゲート電極となるため、堆積時に不純物導入を一緒に行うか、もしくは堆積後、シリコン酸化膜18を堆積する前に、イオン打ち込みをして活性化アニールをするなどの処理を行う。

【0028】さらに、フォト工程を用いて、シリコン酸化膜18および多結晶シリコン膜17をゲート電極19、20の形状に図7のように加工する。そして、ゲート電極19、20をマスクとして、たとえばn型不純物であるひ素などのイオン打ち込みを行い、ソース・ドレイン21を形成する(図7)。

【0029】続いて、酸化膜22を公知のCVD法で堆積する(図8)。この状態で異方性ドライエッチングを行うと、図9のようにゲート電極19、20の側壁にのみ側壁酸化膜23が残る。そして、ゲート電極19、20をマスクとして2回目のソース・ドレインのイオン打ち込みを行い、ソース・ドレイン24を形成する。この2回目のイオン打ち込みは、ソース・ドレイン24を低抵抗化するためのものである。

【0030】最後に、たとえばSiO₂などからなる層間絶縁膜25を堆積して、前記のゲート電極19、20、ソース・ドレイン24に向けてコンタクト孔を開孔し、このコンタクト孔にアルミニウムやタングステンなどの金属26を埋め戻し、配線27を形成して半導体装置が完成する(図10)。

【0031】以上のようにして、イオン打ち込みの条件を変えて打ち分けることで、図10において左側のMOSトランジスタはチャネル領域のドーパント濃度が低いいため、領域全体が空乏化している完全空乏化トランジスタ28となり、右側のMOSトランジスタは、チャネル領域にドーパント濃度が高い領域を有するため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタ29となる。

【0032】従って、本実施の形態1の半導体集積回路装置によれば、完全空乏化トランジスタ28と部分空乏化トランジスタ29とを不純物濃度が異なるようにして同一のSOI基板10上に形成することができるので、SOI基板10の利点を最も活かせる完全空乏化トランジスタ28を用いて高速化と低電力を両立させ、かつこの完全空乏化トランジスタ28の欠点を補う部分空乏化トランジスタ29を用いてドレイン耐圧の確保を可能とすることができる。

【0033】特に、本実施の形態1の製造方法においては、不純物濃度を変えて完全空乏化トランジスタ28と部分空乏化トランジスタ29を形成することができるので、製造プロセスの面において、製造工程の増加を最低限に抑えて簡単に半導体集積回路装置の形成が可能となる。

【0034】なお、この半導体集積回路装置は、たとえばDRAMまたはSRAMなどに適用し、ワード線昇圧回路のような高耐圧が必要な回路に部分空乏化トランジスタ29を用いることによって、高速化と低電力、耐圧の確保が可能とされる半導体記憶装置を実現することができる。

【0035】(実施の形態2) 図11～図14は本発明の実施の形態2である半導体集積回路装置におけるMOSトランジスタの製造工程を示す断面図である。

【0036】本実施の形態2の半導体集積回路装置は、前記実施の形態1と同様にSOI基板上に所定の集積回路が作製される半導体集積回路装置とされ、実施の形態1との相違点は、LOCOS形成プロセスと同様のプロセス(リセスアレー)を用いて、部分空乏化トランジスタを形成する部分のシリコンの膜厚と、完全空乏化トランジスタを形成する部分のシリコンの膜厚とを異なるよ

うにして、同一のSOI基板上に部分空乏化トランジスタと完全空乏化トランジスタとを作り分けて形成するようにした点である。

【0037】すなわち、本実施の形態2の半導体集積回路装置では、図11～図14のMOSトランジスタの素子断面図において、左側のMOSトランジスタはチャネル領域の膜厚が薄いため、領域全体が空乏化している完全空乏化トランジスタである。これに対して、右側のMOSトランジスタは、チャネル領域の膜厚が厚いため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタである。つまり、前記2種類のトランジスタは埋め込み酸化膜上の単結晶シリコン薄膜の膜厚を変化させることで同一のSOI基板上に形成されている。

【0038】以下、nチャネルについて、本実施の形態2のMOSトランジスタの製造方法を説明する。pチャネルについても、ドーパントの導電型を逆にすれば、同じ工程で作ることができるので、フォト工程を加えることにより同一のSOI基板上に相補型の回路を形成することも可能である。

【0039】まず、たとえばシリコン単結晶7aの上層にSiO₂からなる埋め込み酸化膜8aが形成され、さらにその上層に単結晶シリコン薄膜9aが形成されているSOI基板10aの表面を酸化して酸化膜11aを形成する(図11)。そして、公知の選択酸化法を用いて、完全空乏化トランジスタを形成する領域と、部分空乏化トランジスタを形成する領域の単結晶シリコン薄膜9aに差を設ける。

【0040】つまり、酸化膜11a上にシリコン窒化膜12aを堆積して、フォト工程とエッチングによって部分空乏化トランジスタを形成する部分のシリコン窒化膜12aを残し、完全空乏化トランジスタを形成する部分のシリコン窒化膜12aを除去して洗浄する。

【0041】その後、熱酸化を行って、完全空乏化トランジスタを形成する部分のシリコン酸化膜30を形成する(図12)。このとき、シリコン酸化膜30と埋め込み酸化膜8aの間に残る単結晶シリコン薄膜9aが完全空乏化トランジスタの素子領域となるので、熱酸化によりこの単結晶シリコン薄膜9aが消失しないように酸化条件を調整する。

【0042】続いて、シリコン窒化膜12aとシリコン酸化膜30をウェットエッチングにより除去すると、所望の膜厚差を有するSOI基板10aとなる(図13)。これ以降は、前記実施の形態1と同様に、素子分離工程、ゲート形成工程、ソース・ドレイン形成工程、層間絶縁膜形成工程、配線工程により、図14に示す半導体装置が完成する。

【0043】すなわち、図14に示すように、SOI基板10a上には、素子分離酸化膜13a、シリコン酸化膜および多結晶シリコンによるゲート電極19a、20a、ソース・ドレイン21a、ゲート電極19a、20

aの側壁酸化膜23a、ソース・ドレイン24a、層間絶縁膜25aが順に形成され、最後にゲート電極19a、20a、ソース・ドレイン24aに向けて開口されたコンタクト孔に金属26aを埋め戻し、配線27aを形成することによって完成される。

【0044】以上のようにして、LOCOS形成プロセスと同様のプロセスを用いて、図14において左側のMOSトランジスタはチャネル領域の膜厚が薄いため、領域全体が空乏化している完全空乏化トランジスタ28aとなり、右側のMOSトランジスタは、チャネル領域の膜厚が厚いため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタ29aとなる。

【0045】従って、本実施の形態2の半導体集積回路装置によれば、完全空乏化トランジスタ28aと部分空乏化トランジスタ29aとを膜厚が異なるようにして同一のSOI基板10a上に形成することができるので、前記実施の形態1と同様にSOI基板10aの利点を最も活かせる完全空乏化トランジスタ28aを用いて高速化と低電力を両立させ、かつこの完全空乏化トランジスタ28aの欠点を補う部分空乏化トランジスタ29aを用いてドレイン耐圧の確保が可能となる。

【0046】特に、本実施の形態2の製造方法においては、膜厚を変えて完全空乏化トランジスタ28aと部分空乏化トランジスタ29aを形成することができるので、半導体集積回路装置の設計面において、設計制御が容易に可能となる。

【0047】以上、本発明者によってなされた発明を発明の実施の形態1～2に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0048】たとえば、前記実施の形態1の半導体集積回路装置については、ボロンを単結晶シリコン薄膜と埋め込み酸化膜の界面で濃度が最大になるようにし、イオン打ち込み条件を変化させることで不純物濃度が異なるようにする場合について説明したが、本発明は前記実施の形態に限定されるものではなく、ボロンが完全に埋め込み酸化膜中に入ってしまうエネルギー条件でイオン打ち込みを行い、後続の熱工程の結果、埋め込み酸化膜からの不純物拡散により不純物層を形成する場合についても適用可能である。

【0049】この場合には、前記実施の形態1に比べてより急峻な不純物分布を形成することが可能となり、しきい電圧の調整や短チャネル効果の抑制にも有利である。また、製造プロセスおよび設計の面においても、前記実施の形態1および2に比べて効果は小さいものの、製造プロセスの単純化、設計の容易化を図ることができる。

【0050】さらに、DRAMまたはSRAMなどの記憶装置単位で使用される場合に限らず、たとえばコンピ

ユータシステム、デジタル・スチル・カメラシステム、自動車システムなどの各種システムの記憶装置として広く用いられ、一例として図15によりコンピュータシステムについて説明する。

【0051】図15において、このコンピュータシステムは、バスと中央処理装置CPU、周辺装置制御部、主記憶メモリとしての本発明のDRAMおよびその制御部、バックアップメモリとしてのSRAMおよびバックアップパリティとその制御部、プログラムが格納されているROM、表示系などによって構成されている。

【0052】前記周辺装置制御部は外部記憶装置およびキーボードKBなどと接続されている。また、表示系はビデオRAM (VRAM) などによって構成され、出力装置としてのディスプレイと接続されることによってVRAM内の記憶情報の表示が行われる。また、コンピュータシステムの内部回路に電源を供給するための電源供給部が設けられている。

【0053】前記中央処理装置CPUは、各メモリを制御するための信号を形成することによって前記各メモリの動作タイミング制御を行う。ここでは、前記発明を主記憶メモリとしてのDRAMに適用した例について説明したが、前記表示系のVRAMがマルチポートVRAMであった場合、前記VRAMのランダムアクセス部に適用することも可能である。

【0054】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0055】(1). 完全空乏化トランジスタと部分空乏化トランジスタを同一のSOI基板上に形成することができるので、内部で降圧した電圧しか印加されない回路には完全空乏化トランジスタを用いて高速化と低電力を両立させ、外部インターフェースのような高耐圧が必要になる回路には部分空乏化トランジスタを用いて耐圧を確保することが可能となり、SOI基板を用いる利点を最大限に活かし、かつ総合的な回路性能の向上を図ることが可能となる。

【0056】(2). 部分空乏化トランジスタと完全空乏化トランジスタとを同一のSOI基板上に作り分ける際に、イオン打ち込みの条件を変えて不純物濃度が異なるようにすることで、製造工程の増加を最低限に抑えて簡単な製造プロセスによる半導体集積回路装置の形成が可能となる。

【0057】(3). 部分空乏化トランジスタと完全空乏化トランジスタとを同一のSOI基板上に作り分ける際に、LOCOS形成プロセスと同様のプロセス(リセスアレー)を用いて膜厚が異なるようにすることで、設計制御を容易にして容易な設計による半導体集積回路装置の形成が可能となる。

【0058】(4). 部分空乏化トランジスタと完全空乏化

トランジスタとを同一のSOI基板上に作り分ける際に、SOI基板の埋め込み酸化膜中に局所的に不純物を導入し、そこから埋め込み酸化膜上の単結晶シリコン薄膜中に熱拡散により不純物を導入するプロセスを用いて不純物濃度が異なるようにすることで、半導体集積回路装置の形成における製造プロセスの簡単化、設計の容易化が可能となる。

【0059】(5). 前記(1)～(4)により、SOI基板の利点を活かした部分空乏化および完全空乏化トランジスタの形成、さらに製造プロセスおよび設計の面における効果を最大限に取り入れた半導体集積回路装置、特にDRAMまたはSRAMなどの半導体記憶装置に良好な製造方法を得ることができ、さらにこれを用いた低電力・高速化などによる機能性の向上が可能なコンピュータシステムなどの各種システムを得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置を示す概略機能ブロック図である。

【図2】実施の形態1におけるデータ出力回路の一例を示す回路図である。

【図3】実施の形態1におけるMOSTランジスタの製造工程を示す断面図である。

【図4】実施の形態1におけるMOSTランジスタの製造工程(図3に続く)を示す断面図である。

【図5】実施の形態1におけるMOSTランジスタの製造工程(図4に続く)を示す断面図である。

【図6】実施の形態1におけるMOSTランジスタの製造工程(図5に続く)を示す断面図である。

【図7】実施の形態1におけるMOSTランジスタの製造工程(図6に続く)を示す断面図である。

【図8】実施の形態1におけるMOSTランジスタの製造工程(図7に続く)を示す断面図である。

【図9】実施の形態1におけるMOSTランジスタの製造工程(図8に続く)を示す断面図である。

【図10】実施の形態1におけるMOSTランジスタの製造工程(図9に続く)を示す断面図である。

【図11】本発明の実施の形態2である半導体集積回路装置におけるMOSTランジスタの製造工程を示す断面図である。

【図12】実施の形態2である半導体集積回路装置におけるMOSTランジスタの製造工程(図11に続く)を示す断面図である。

【図13】実施の形態2である半導体集積回路装置におけるMOSTランジスタの製造工程(図12に続く)を示す断面図である。

【図14】実施の形態2である半導体集積回路装置におけるMOSTランジスタの製造工程(図13に続く)を示す断面図である。

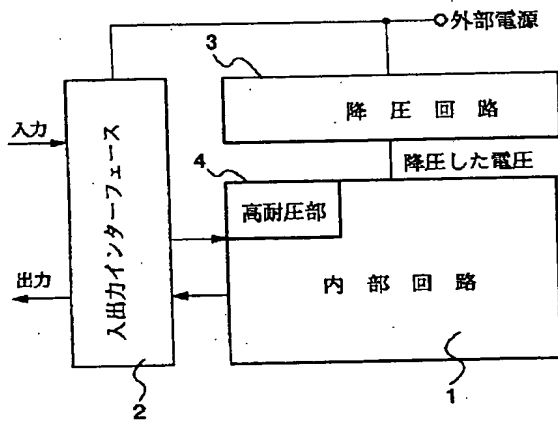
【図15】本発明である半導体集積回路装置を用いたコンピュータシステムを示す機能ブロック図である。

【符号の説明】

- 1 内部回路
2 入出力インターフェース
3 降圧回路
4 高耐圧部
5 出力部
6 外部出力部
7, 7a シリコン単結晶
8, 8a 埋め込み酸化膜
9, 9a 単結晶シリコン薄膜
10, 10a SOI基板
11, 11a 酸化膜
12, 12a シリコン窒化膜
13, 13a 素子分離酸化膜
14 酸化膜
15 レジストマスク
16 高濃度不純物層
17 多結晶シリコン膜
18 シリコン酸化膜
19, 19a, 20, 20a ゲート電極
21, 21a ソース・ドレイン
22 酸化膜
23, 23a 側壁酸化膜
24, 24a ソース・ドレイン
25, 25a 層間絶縁膜
26, 26a 金属
27, 27a 配線
28, 28a 完全空乏化トランジスタ
29, 29a 部分空乏化トランジスタ
30 シリコン酸化膜

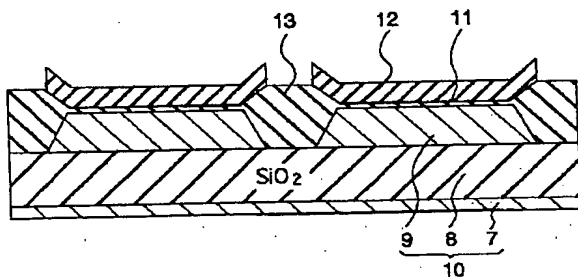
【図1】

図 1



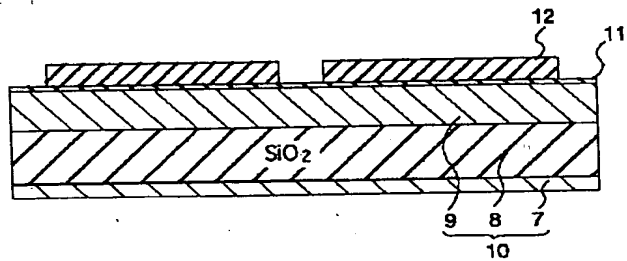
【図4】

図 4



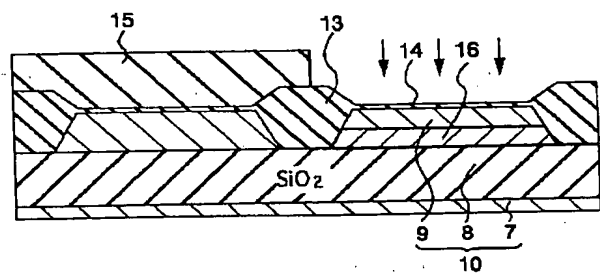
【図3】

図 3



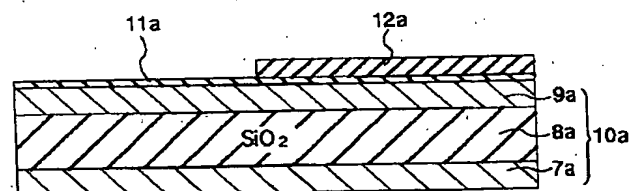
【図5】

図 5

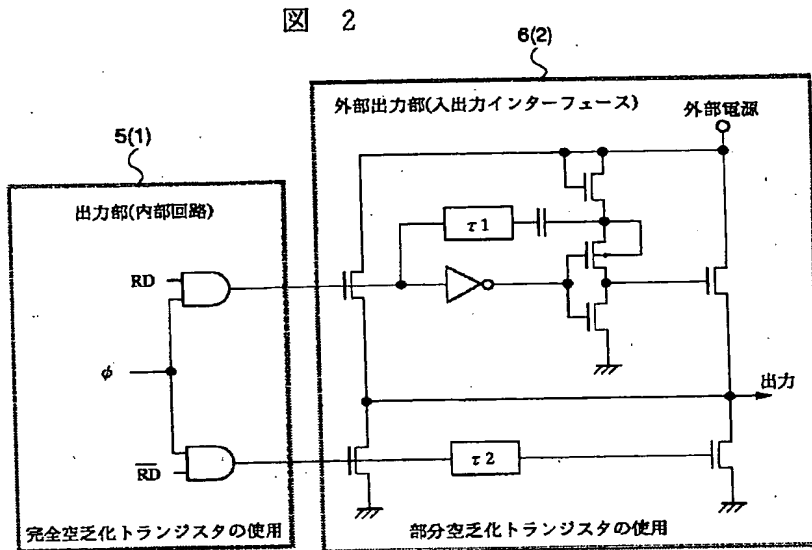


【図11】

図 11

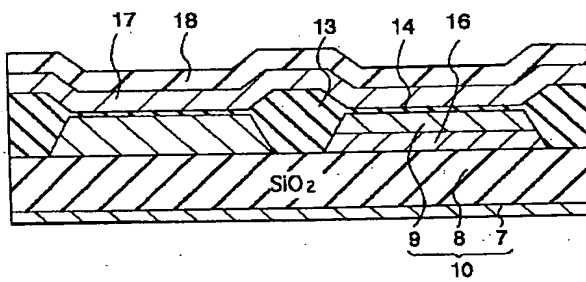


【図 2】



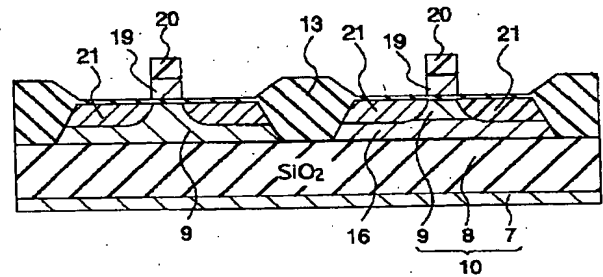
【図 6】

図 6



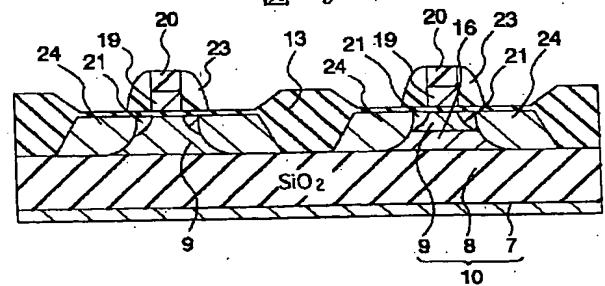
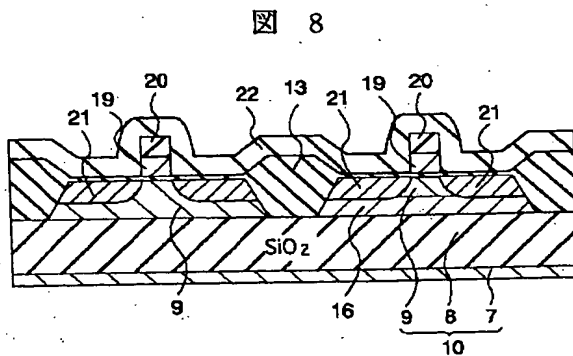
【図 7】

図 7



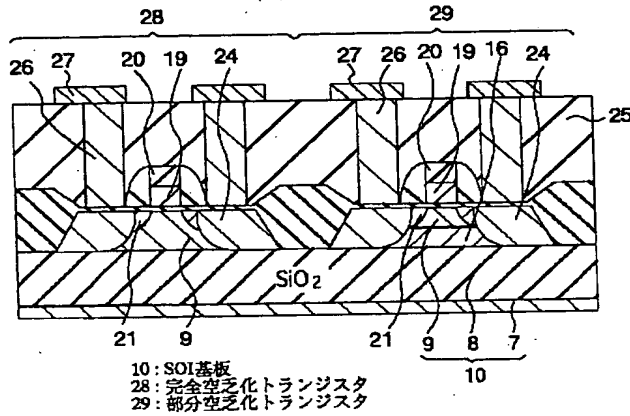
【図 9】

図 9



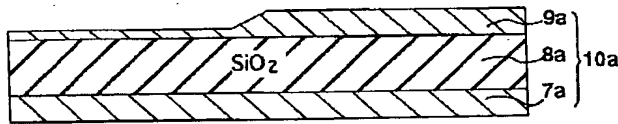
【図10】

図 10



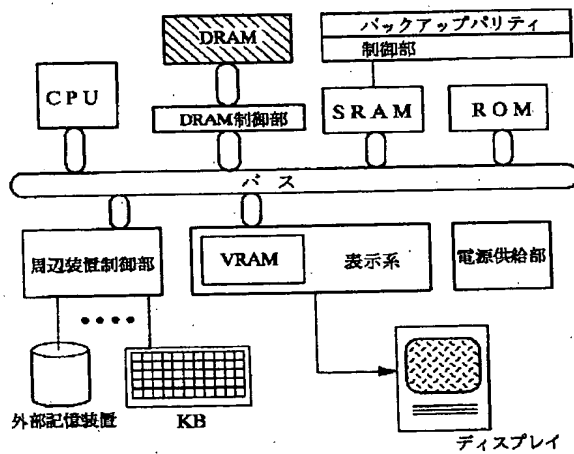
【図13】

図 13



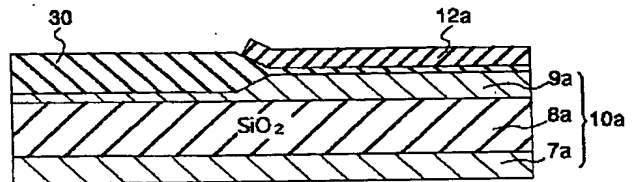
【図15】

図 15



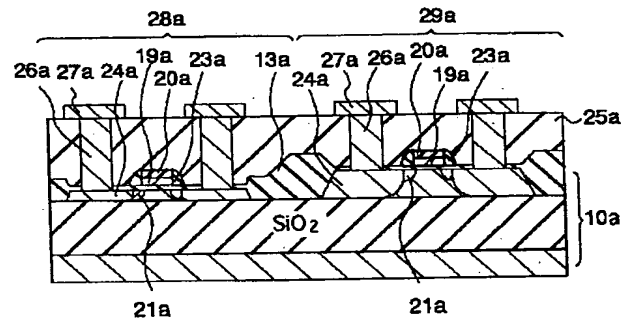
【図12】

図 12



【図14】

図 14



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 27/10

6 8 1 F

29/78

6 1 8 D

(72) 発明者 出井 陽治

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内